

DISPLAY

Patent Number: [EP0935229](#)

Publication date: 1999-08-11

Inventor(s): OZAWA TOKUROH (JP)

Applicant(s): SEIKO EPSON CORP (JP)

Requested Patent: [JP11024606](#) ←

Application Number: EP19980929802 19980701

Priority Number(s): WO1998JP02982 19980701; JP19970177455 19970702

IPC Classification: G09F9/30; H05B33/26; H05B33/10; H01L33/00

EC Classification:

Equivalents: TW388854, [US6618029](#), [WO9901856](#)

Cited patent(s): [EP0717446](#); [EP0895219](#)

Abstract

For the purpose of providing a display apparatus capable of improving display quality by expanding the light-emission area of pixels by improving the layout of pixels and common power-feed lines formed on a substrate, pixels (7A, 7B) including a light-emission element (40), such as an electroluminescence element or an LED element, are arranged on both sides of common power-feed lines (com) so that the number of common power-feed lines (com) is reduced. Further, the polarity of a driving current flowing between the pixels (7A, 7B) and the light-emission element (40) is inverted so that the amount of

current flowing through the common power-supply lines "com" is reduced. 

Data supplied from the [esp@cenet](#) database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-24606

(43) 公開日 平成11年(1999)1月29日

(51) Int.Cl.⁹
G 0 9 F 9/30
G 0 9 G 3/30
H 0 5 B 33/26

識別記号
3 6 5

F I
G 0 9 F 9/30
G 0 9 G 3/30
H 0 5 B 33/26

3 6 5 C
Z

審査請求 未請求 請求項の数13 O L (全 18 頁)

(21) 出願番号 特願平9-177455

(22) 出願日 平成9年(1997)7月2日

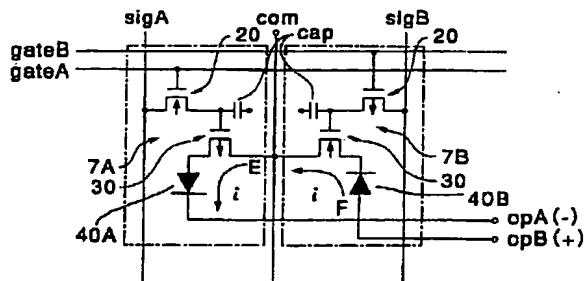
(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 小澤 徳郎
長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 基板上に構成される画素および共通給電線のレイアウトを改良して画素の発光領域を拡張し、表示の品位を高めることのできる表示装置を提供すること。

【解決手段】 エレクトロルミネッセンス素子またはLED素子のような発光素子40を備える画素7A、7Bを共通給電線comの両側に配置し、共通給電線comの数を減らす。また、画素7A、7Bの間で発光素子40に流れる駆動電流の極性を反転し、共通給電線comに流れる電流を小さくする。



【特許請求の範囲】

【請求項1】 基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線と前記走査線によりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素毎に形成された画素電極と該画素電極に対向する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する有機半導体膜を具備する発光素子とを備える表示装置において、

前記共通給電線の両側には、該共通給電線との間で前記駆動電流の通電が行われる画素が配置され、該画素に対して前記共通給電線とは反対側を前記データ線が通っていることを特徴とする表示装置。

【請求項2】 請求項1において、前記共通給電線を挟むように配置された2つの画素の間で、前記第1の薄膜トランジスタ、前記第2の薄膜トランジスタ、および前記発光素子は、当該共通給電線を中心に線対称に配置されていることを特徴とする表示装置。

【請求項3】 請求項1または2において、前記走査線の延設方向に沿って隣接するいずれの画素の間でも前記有機半導体膜の形成領域の中心のピッチが等しいことを特徴とする表示装置。

【請求項4】 請求項2において、前記有機半導体膜の形成領域は、前記有機半導体膜よりも厚い絶縁膜からなるバンク層で囲まれているとともに、該バンク層は、同じ幅寸法で前記データ線および前記共通給電線を覆うように構成されていることを特徴とする表示装置。

【請求項5】 請求項4において、前記有機半導体膜は、インクジェット法により前記バンク層で囲まれた領域内に形成された膜であり、前記バンク層は、前記有機半導体膜をインクジェット法により形成する際に前記有機半導体膜のはみ出しを防止するための膜であることを特徴とする表示装置。

【請求項6】 請求項1ないし5のいずれかにおいて、前記画素に対して前記共通給電線とは反対側を通る2本のデータ線の間に相当する位置には、配線層が形成されていることを特徴とする表示装置。

【請求項7】 請求項6において、前記複数のデータ線のうち、隣接する2本のデータ線の間では、画像信号のサンプリングが同一のタイミングで行われるように構成されていることを特徴とする表示装置。

【請求項8】 請求項1において、同一の前記共通給電

線との間で前記駆動電流の通電が行われる複数の画素には、極性が反転した駆動電流により前記発光素子の駆動が行われる2種類の画素が含まれていることを特徴とする表示装置。

【請求項9】 請求項8において、前記データ線の延設方向では各画素における駆動電流の極性が同一で、前記走査線の延設方向では各画素における駆動電流の極性が1画素毎に反転していることを特徴とする表示装置。

【請求項10】 請求項8において、前記データ線の延設方向では各画素における駆動電流の極性が同一で、前記走査線の延設方向では各画素における駆動電流の極性が2画素毎に反転していることを特徴とする表示装置。

【請求項11】 請求項8において、前記走査線の延設方向では各画素における駆動電流の極性が同一で、前記データ線の延設方向では各画素における駆動電流の極性が1画素毎に反転していることを特徴とする表示装置。

【請求項12】 請求項8において、前記走査線の延設方向では各画素における駆動電流の極性が同一で、前記データ線の延設方向では各画素における駆動電流の極性が2画素毎に反転していることを特徴とする表示装置。

【請求項13】 請求項8において、前記走査線の延設方向および前記データ線の延設方向のいずれの方向でも、各画素における駆動電流の極性が1画素毎に反転していることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、有機半導体膜を駆動電流が流れることによって発光するEL(エレクトロルミネッセンス)素子またはLED(発光ダイオード)素子などの発光素子と、この発光素子の発光動作を制御する薄膜トランジスタ(以下、TFTといふ。)とを用いたアクティブマトリクス型の表示装置に関するものである。さらに詳しくは、その表示特性を向上するためのレイアウトの最適化技術に関するものである。

【0002】

【従来の技術】 EL素子またはLED素子などの電流制御型発光素子を用いたアクティブマトリクス型の表示装置が提案されている。このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、液晶表示装置と違ってバックライトを必要とせず、また、視野角依存性が少ないなどの利点もある。

【0003】 図22は、このような表示装置の一例として、電荷注入型の有機薄膜EL素子を用いたアクティブマトリクス型表示装置のブロック図を示してある。この図に示す表示装置1Aでは、透明基板上に、複数の走査線gateと、これらの走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigと、これらのデータ線sigに並列する複数の共通給電線comと、データ線sigと走査線gateとの交差点に対応する画素7とが構成されている。データ線sig

gに対しては、シフトレジスタ、レベルシフタ、ビデオライン、アナログスイッチを備えるデータ側駆動回路3が構成されている。走査線に対しては、シフトレジスタおよびレベルシフタを備える走査側駆動回路4が構成されている。また、画素7の各々には、走査線を介して走査信号がゲート電極に供給される第1のTFT20と、この第1のTFT20を介してデータ線singから供給される画像信号を保持する保持容量capと、この保持容量capによって保持された画像信号がゲート電極に供給される第2のTFT30と、第2のTFT30を介して共通給電線comに電気的に接続したときに共通給電線comから駆動電流が流れ込む発光素子40とが構成されている。

【0004】すなわち、図23(A)、(B)に示すように、いずれの画素7においても、島状の2つの半導体膜を利用して第1のTFT20および第2のTFT30が形成され、第2のTFT30のソース・ドレイン領域には、第1の層間絶縁膜51のコンタクトホールを介して中継電極35が電気的に接続し、該中継電極35には第2の層間絶縁膜52のコンタクトホールを介して画素電極41が電気的に接続している。この画素電極41の上層側には、正孔注入層42、有機半導体膜43、対向電極opが積層されている。ここで、対向電極opは、データ線singなどを跨いで複数の画素7にわたって形成されている。なお、第2のTFT30のソース・ドレイン領域には、コンタクトホールを介して共通給電線comが電気的に接続している。

【0005】これに対して、第1のTFT20では、そのソース・ドレイン領域に電気的に接続する電位保持電極s1は、ゲート電極31の延設部分310に電気的に接続している。この延設部分310に対しては、その下層側においてゲート絶縁膜50を介して半導体膜400が対向し、この半導体膜400は、それに導入された不純物によって導電化されているので、延設部分310およびゲート絶縁膜50とともに保持容量capを構成している。ここで、半導体膜400に対しては第1の層間絶縁膜51のコンタクトホールを介して共通給電線comが電気的に接続している。従って、保持容量capは、第1のTFT20を介してデータ線singから供給される画像信号を保持するので、第1のTFT20がオフになっても、第2のTFT30のゲート電極31は画像信号に相当する電位に保持される。それ故、発光素子40には共通給電線comから駆動電流が流れ続けるので、発光素子40は発光し続けることになる。

【0006】

【発明が解決しようとする課題】しかしながら、前記の表示装置1Aでは、液晶表示装置と比較して、第2のTFT30および共通給電線comが必要な分、画素7が狭いため、表示の品位を高めることができないという問題点がある。

【0007】そこで、本発明の課題は、基板上に構成される画素および共通給電線のレイアウトを改良して画素の発光領域を拡張し、表示の品位を高めることのできる表示装置を提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素毎に形成された画素電極と該画素電極に対応する対向電極との層間ににおいて前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する有機半導体膜を具備する発光素子とを有する表示装置において、前記共通給電線の両側には、該共通給電線との間で前記駆動電流の通電が行われる画素が配置され、該画素に対して前記共通給電線とは反対側を前記データ線が通っていることを特徴とする。

【0009】すなわち、本発明では、データ線、それに接続する画素群、1本の共通給電線、それに接続する画素群、および該画素群に画素信号を供給するデータ線を1つの単位としてそれを走査線の延設方向に繰り返すので、2列分の画素を1本の共通給電線で駆動する。従って、1列の画素群ごとに共通給電線を形成する場合と比較して共通給電線の形成領域を狭めることができるため、その分、画素の発光領域を拡張できる。よって、輝度、コントラスト比などの表示性能を向上させることができる。

【0010】このように構成するにあたっては、たとえば、前記共通給電線を挟むように配置された2つの画素の間では、前記第1の薄膜トランジスタ、前記第2の薄膜トランジスタ、および前記発光素子を、当該共通給電線を中心線対称に配置することが好ましい。

【0011】本発明において、前記走査線の延設方向に沿って隣接するいずれの画素の間でも前記有機半導体膜の形成領域の中心のピッチが等しいことが好ましい。このように構成すると、インクジェットヘッドから有機半導体膜の材料を吐出して有機半導体膜を形成するのに都合がよい。すなわち、有機半導体膜の形成領域の中心のピッチが等しいので、インクジェットヘッドから有機半導体膜の材料を等間隔で吐出していけばよい。これにより、インクジェットヘッドの移動制御機構が簡易になる

とともに、位置精度も向上する。

【0012】また、前記有機半導体膜の形成領域は、前記有機半導体膜よりも厚い絶縁膜からなるバンク層で囲まれているとともに、該バンク層は、同じ幅寸法で前記データ線および前記共通給電線を覆うように構成されていることが好ましい。このように構成すると、有機半導体膜をインクジェット法により形成する際に、バンク層が有機半導体膜が周囲にはみ出すのを防止するので、有機半導体膜を所定領域内に形成できる。また、該バンク層は、同じ幅寸法で前記データ線および前記共通給電線を覆うため、走査線の延設方向に沿って隣接するいずれの画素の間でも有機半導体膜の形成領域の中心のピッチが等しくするのに適している。ここで、対向電極は少なくとも画素領域上のほぼ全面、あるいはストライブ状に広い領域にわたって形成され、データ線と対向する状態にある。従って、このままでは、データ線に対して大きな容量が寄生することになる。しかるに本発明では、データ線と対向電極との間にバンク層が介在しているので、対向電極との間に形成される容量がデータ線に寄生することを防止できる。その結果、データ側駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

【0013】本発明において、前記画素に対して前記共通給電線とは反対側を通る2本のデータ線の間に相当する位置には、配線層が形成されていることが好ましい。2本のデータ線が並列していると、これらのデータ線の間でクロストークが発生するおそれがある。しかるに本発明では、2本のデータ線の間にはそれらとは別の配線層が通っているので、このような配線層を画像の少なくとも1水平走査期間内で固定電位としておくだけで、上記のクロストークを防止できる。

【0014】この場合に、前記複数のデータ線のうち、隣接する2本のデータ線の間では、画像信号のサンプリングを同一のタイミングで行うことが好ましい。このように構成すると、2本のデータ線の間でサンプリング時の電位変化が同時に起こるので、これらのデータ線の間でクロストークが発生するのをより確実に防止できる。

【0015】本発明では、同一の前記共通給電線との間で前記駆動電流の通電が行われる複数の画素には、極性が反転した駆動電流により前記発光素子の駆動が行われる2種類の画素がほぼ同数含まれていることが好ましい。

【0016】このように構成すると、共通給電線から画素に流れる駆動電流と、画素から共通給電線に流れる駆動電流とが相殺され、共通給電線に流れる駆動電流が小さくて済む。従って、共通給電線をその分細くすることができるので、パネル外形に対する表示面積を拡張できる。また、駆動電流の差により生じる輝度むらをなくすことができる。

【0017】たとえば、前記データ線の延設方向では各

画素における駆動電流の極性が同一で、前記走査線の延設方向では各画素における駆動電流の極性が1画素毎に、あるいは2画素毎に反転するように構成する。あるいは、前記走査線の延設方向では各画素における駆動電流の極性が同一で、前記データ線の延設方向では各画素における駆動電流の極性が1画素毎、あるいは2画素毎に反転するように構成してもよい。これらの形態のうち、2画素毎に駆動電流の極性が反転するように構成した場合には、同じ極性の駆動電流が流れる画素については、隣接する画素の間で対向電極を共通にできるので、対向電極のスリット数を減らすことができる。すなわち、大電流が流れる対向電極の抵抗値を高くすることなく、極性反転を実現できる。

【0018】また、前記走査線の延設方向および前記データ線の延設方向のいずれの方向でも、各画素における駆動電流の極性が1画素毎に反転するように構成してもよい。

【0019】【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。

【0020】【実施の形態1】

(アクティブマトリクス基板の全体構成) 図1は、表示装置の全体のレイアウトを模式的に示すブロック図、図2は、それに構成されたアクティブマトリクスの等価回路図である。

【0021】この図に示すように、本形態の表示装置1ではその基体たる透明基板10の中央部分が表示部2とされている。透明基板10の外周部分のうち、データ線sigの両端側には画像信号を出力するデータ側駆動回路3、および検査回路5が構成され、走査線gateの両端側には走査信号を出力する走査側駆動回路4が構成されている。これらの駆動回路3、4では、N型のTFTとP型のTFTによって相補型TFTが構成され、この相補型TFTは、シフトレジスタ、レベルシフタ、アナログスイッチなどを構成している。なお、透明基板10上において、データ側駆動回路3よりも外周領域には、画像信号や各種の電位、パルス信号を入力するための端子群とされる実装用パッド6が形成されている。

【0022】(共通給電線と画素の配置) 表示装置1では、液晶表示装置のアクティブマトリクス基板と同様、透明基板10上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigとが構成され、図2に示すように、これらのデータ線sigと走査線gateとによりマトリクス状に形成された画素7が構成されている。

【0023】これらの画素7のいずれにも、走査線gateを介して走査信号がゲート電極21(第1のゲート電極)に供給される第1のTFT20が構成されている。このTFT20のソース・ドレイン領域の一方は、データ線sigに電気的に接続し、他方は電位保持電極

s t に電気的に接続している。走査線 g a t e に対しては容量線 c l i n e が並列配置され、この容量線 c l i n e と電位保持電極 s t との間には保持容量 c a p が形成されている。従って、走査信号によって選択されて第 1 の T F T 2 0 がオン状態になると、データ線 s i g から画像信号が第 1 の T F T 2 0 を介して保持容量 c a p に書き込まれる。

【0024】電位保持電極 s t には第 2 の T F T 3 0 のゲート電極 3 1 (第 2 のゲート電極) が電気的に接続している。この T F T 3 0 のソース・ドレイン領域の一方は、共通給電線 c o m に電気的に接続する一方、他方は発光素子 4 0 の一方の電極 (後述する画素電極) に電気的に接続している。共通給電線 c o m は定電位に保持されている。従って、第 2 の T F T 3 0 がオン状態になったときに、この T F T を介して共通給電線 c o m の電流が発光素子 4 0 に流れ、発光素子 4 0 を発光させる。

【0025】本形態では、共通給電線 c o m の両側に、該共通給電線 c o m との間で駆動電流の供給が行われる複数の画素 7 が配置され、これらの画素 7 に対して共通給電線 c o m とは反対側を 2 本のデータ線 s i g が通っている。すなわち、データ線 s i g 、それに接続する画素群、1 本の共通給電線 c o m 、それに接続する画素群、および該画素群に画素信号を供給するデータ線 s i g を 1 つの単位としてそれを走査線 g a t e の延設方向に繰り返してあり、共通給電線 c o m は、1 本で 2 列分の画素 7 に対して駆動電流を供給する。そこで、本形態では、共通給電線 c o m を挟むように配置された 2 つの画素 7 の間では、第 1 の T F T 2 0 、第 2 の T F T 3 0 、および発光素子 4 0 が当該共通給電線 c o m を中心に線対称に配置され、これらの素子と各配線層との電気的な接続を容易なものにしてある。

【0026】このように、本形態では、1 本の共通給電線 c o m で 2 列分の画素を駆動するので、1 列の画素群ごとに共通給電線 c o m を形成する場合と比較して、共通給電線 c o m の数が 1/2 で済むとともに、同一の層間に形成される共通給電線 c o m とデータ線 s i g との間に確保していた隙間が不要である。それ故、透明基板 1 0 上において配線のための領域を狭くすることができるので、その分、各画素領域における発光面積の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0027】なお、このように 1 本の共通給電線 c o m に 2 列分の画素が接続する構成としたため、データ線 s i g は 2 本ずつ並列する状態にあって、それぞれの列の画素群に対して画像信号を供給することになる。

【0028】(画素の構成) このように構成した表示装置 1 の各画素 7 の構造を図 3 ないし図 6 (A) を参照して詳述する。

【0029】図 3 は、本形態の表示装置 1 に形成されている複数の画素 7 のうちの 3 つの画素 7 を拡大して示す

平面図、図 4、図 5、および図 6 (A) はそれぞれ、その A-A' 線における断面図、B-B' 線における断面図、および C-C' 線における断面図である。

【0030】まず、図 3 における A-A' 線に相当する位置では、図 4 に示すように、透明基板 1 0 上には各画素 7 の各々に、第 1 の T F T 2 0 を形成するための島状のシリコン膜 2 0 0 が形成され、その表面にはゲート絶縁膜 5 0 が形成されている。また、ゲート絶縁膜 5 0 の表面にはゲート電極 2 1 (走査線 g a t e の一部) が形成され、該ゲート電極 2 1 に対して自己整合的にソース・ドレイン領域 2 2 、2 3 が形成されている。ゲート絶縁膜 5 0 の表面側には第 1 の層間絶縁膜 5 1 が形成され、この層間絶縁膜に形成されたコンタクトホール 6 1 、6 2 を介して、ソース・ドレイン領域 2 2 、2 3 にはデータ線 s i g 、および電位保持電極 s t がそれぞれ電気的に接続している。

【0031】各画素 7 には走査線 g a t e と並列するように、走査線 g a t e やゲート電極 2 1 と同一の層間 (ゲート絶縁膜 5 0 と第 1 の層間絶縁膜 5 1 との間) には容量線 c l i n e が形成されており、この容量線 c l i n e に対しては、第 1 の層間絶縁膜 5 1 を介して電位保持電極 s t の延設部分 s t 1 が重なっている。このため、容量線 c l i n e と電位保持電極 s t の延設部分 s t 1 とは、第 1 の層間絶縁膜 5 1 を誘電体膜とする保持容量 c a p を構成している。なお、電位保持電極 s t およびデータ線 s i g の表面側には第 2 の層間絶縁膜 5 2 が形成されている。

【0032】図 3 における B-B' 線に相当する位置では、図 5 に示すように、透明基板 1 0 上に形成された第 1 の層間絶縁膜 5 1 および第 2 の層間絶縁膜 5 2 の表面に各画素 7 に対応するデータ線 s i g が 2 本、並列している状態にある。

【0033】図 3 における C-C' 線に相当する位置では、図 6 (A) に示すように、透明基板 1 0 上には共通給電線 c o m を挟む 2 つの画素 7 に跨がるように、第 2 の T F T 3 0 を形成するための島状のシリコン膜 3 0 0 が形成され、その表面にはゲート絶縁膜 5 0 が形成されている。ゲート絶縁膜 5 0 の表面には、共通給電線 c o m を挟むように、各画素 7 の各々にゲート電極 3 1 がそれぞれ形成され、このゲート電極 3 1 に自己整合的にソース・ドレイン領域 3 2 、3 3 が形成されている。ゲート絶縁膜 5 0 の表面側には第 1 の層間絶縁膜 5 1 が形成され、この層間絶縁膜に形成されたコンタクトホール 6 3 を介して、ソース・ドレイン領域 6 2 に中継電極 3 5 が電気的に接続している。一方、シリコン膜 3 0 0 の中央部分で 2 つの画素 7 において共通のソース・ドレイン領域 3 3 となる部分に対しては、第 1 の層間絶縁膜 5 1 のコンタクトホール 6 4 を介して、共通給電線 c o m が電気的に接続している。これらの共通給電線 c o m および中継電極 3 5 の表面側には第 2 の層間絶縁膜 5 2 が

形成されている。第2の層間絶縁膜52の表面側にはITO膜からなる画素電極41が形成されている。この画素電極41は、第2の層間絶縁膜52に形成されたコンタクトホール65を介して中継電極35に電気的に接続し、この中継電極35を介して第2のTFT30のソース・ドレイン領域32に電気的に接続している。

【0034】ここで、画素電極41は発光素子40の一方の電極を構成している。すなわち、画素電極41の表面には正孔注入層42および有機半導体膜43が積層され、さらに有機半導体膜43の表面には、リチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極opが形成されている。この対向電極opは、少なくとも画素領域上に、あるいはストライプ状に形成された共通の電極であり、一定の電位に保持されている。

【0035】このように構成された発光素子40では、対向電極opおよび画素電極41をそれぞれ正極および負極として電圧が印加され、図7に示すように、印加電圧がしきい値電圧を超えた領域で有機半導体膜43に流れる電流（駆動電流）が急激に増大する。その結果、発光素子40は、エレクトロルミネッセンス素子あるいはLED素子として発光し、発光素子40の光は、対向電極opに反射され、透明な画素電極41および透明基板10を透過して出射される。

【0036】このような発光を行うための駆動電流は、対向電極op、有機半導体膜43、正孔注入層42、画素電極41、第2のTFT30、および共通給電線comから構成される電流経路を流れるため、第2のTFT30がオフ状態になると、流れなくなる。本形態の表示装置1では、走査信号によって選択されて第1のTFT20がオン状態になると、データ線sigから画像信号が第1のTFT20を介して保持容量capに書き込まれる。従って、第2のTFT30のゲート電極は、第1のTFT20がオフ状態になつても、保持容量capによって画像信号に相当する電位に保持されるので、第2のTFT30はオン状態のままである。それ故、発光素子40には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが保持容量capに書き込まれて、第2のTFT30はオフ状態になるまで維持される。

【0037】（表示装置の製造方法）このように構成した表示装置1の製造方法において、透明基板10上に第1のTFT20および第2のTFT30を製造するまでの工程は、液晶表示装置1のアクティブマトリクス基板を製造する工程と略同様であるため、図8を参照してその概要を説明する。

【0038】図8は、表示装置1の各構成部分を形成していく過程を模式的に示す工程断面図である。

【0039】すなわち、図8（A）に示すように、透明基板10に対して、必要に応じて、TEOS（テトラエトキシシラン）や酸素ガスなどを原料ガスとしてプラズ

マCVD法により厚さが約2000～5000オングストロームのシリコン酸化膜からなる下地保護膜（図示せず。）を形成する。次に基板の温度を約350°Cに設定して、下地保護膜の表面にプラズマCVD法により厚さが約300～700オングストロームのアモルファスのシリコン膜からなる半導体膜100を形成する。次にアモルファスのシリコン膜からなる半導体膜100に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜100をポリシリコン膜に結晶化する。レーザアニール法では、たとえば、エキシマレーザでビーム形状の長寸が400mmのラインビームを用い、その出力強度はたとえば200mJ/cm²である。ラインビームについてはその短寸方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインビームを走査していく。

【0040】次に、図8（B）に示すように、半導体膜100をバーニングして島状の半導体膜200、300とし、その表面に対して、TEOS（テトラエトキシシラン）や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約600～1500オングストロームのシリコン酸化膜または窒化膜からなるゲート絶縁膜50を形成する。

【0041】次に、図8（C）に示すように、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜からなる導電膜をスパッタ法により形成した後、バーニングし、走査線gateの一部としてのゲート電極21、31を形成する。この工程では容量線clineも形成する。なお、図中、310はゲート電極31の延設部分である。

【0042】この状態で高濃度のリンイオンまたはボロシイオンを打ち込んで、シリコン薄膜200、300にはゲート電極21、31に対して自己整合的にソース・ドレイン領域22、23、32、33を形成する。なお、不純物が導入されなかつた部分がチャネル領域27、37となる。

【0043】次に、図8（D）に示すように、第1の層間絶縁膜51を形成した後、コンタクトホール61、62、63、64、69を形成し、データ線sig、容量線clineおよびゲート電極31の延設部分310に重なる延設部分st1を備える電位保持電極st、共通給電線com、および中継電極35を形成する。その結果、電位保持電極stはコンタクトホール69および延設部分310を介してゲート電極31に電気的に接続する。このようにして第1のTFT20および第2のTFT30を形成する。また、容量線clineと電位保持電極stの延設部分st1とによって保持容量capが形成される。

【0044】次に、図8（E）に示すように、第2の層間絶縁膜52を形成し、この層間絶縁膜には、中継電極35に相当する部分にコンタクトホール65を形成す

る。次に、第2の層間絶縁膜52の表面全体にITO膜を形成した後、バターニングし、コンタクトホール65を介して第2のTFT30のソース・ドレイン領域32に電気的に接続する画素電極41を形成する。

【0045】次に、図8(F)に示すように、第2の層間絶縁膜52の表面側に黒色のレジスト層を形成した後、このレジストを発光素子40の正孔注入層42および有機半導体膜43を形成すべき領域を囲むように残し、バンク層bankを形成する。ここで、有機半導体膜43は、各画素毎に独立して形成される場合、データ線sigに沿ってストライプ状に形成される場合などのいずれの形状であっても、それに対応する形状にバンク層bankを形成するだけで、本形態に係る製造方法を適用できる。

【0046】次に、バンク層bankの内側領域に対してインクジェットヘッドIJから、正孔注入層42を構成するための液状の材料(前駆体)を吐出し、バンク層bankの内側領域に正孔注入層42を形成する。同様に、バンク層bankの内側領域に対してインクジェットヘッドIJから、有機半導体膜43を構成するための液状の材料(前駆体)を吐出し、バンク層bankの内側領域に有機半導体膜43を形成する。ここで、バンク層bankはレジストから構成されているため、撥水性である。これに対して、有機半導体膜43の前駆体は主に親水性の溶媒を用いているため、有機半導体膜43の塗布領域はバンク層bankによって確実に規定され、隣接する画素にはみ出ることがない。

【0047】このようにして有機半導体膜43や正孔注入層42をインクジェット法により形成する場合には、その作業効率や射出位置精度を高めるために、本形態では、図3に示すように、走査線gateの延設方向に沿って隣接するいずれの画素7間でも、前記有機半導体膜43の形成領域の中心のピッチPを等しくしてある。従って、矢印Qで示すように、走査線gateの延設方向に沿って等間隔の位置にインクジェットヘッドIJから有機半導体膜43の材料などを吐出すればよいので、作業効率がよいという利点がある。また、インクジェットヘッドIJの移動制御機構が簡易になるとともに、打ち込み位置精度も向上する。

【0048】しかる後には、図8(G)に示すように、透明基板10の表面側に対向電極opを形成する。ここで、対向電極opは少なくとも画素領域の全面、またはストライプ状に形成されるが、対向電極opをストライプ状に形成する場合には、透明基板10の表面全体に金属膜を形成した後、それをストライプ状にバターニングする。

【0049】なお、バンク層bankについては、それが黒色のレジストから構成されているので、そのまま残し、以下に説明するように、ブラックマトリクスBM、および寄生容量を低減するための絶縁層として利用す

る。

【0050】図1に示すデータ側駆動回路3や走査側駆動回路4にもTFTが形成されるが、これらのTFTは前記の画素7にTFTを形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成するTFTも、画素7のTFTと同一の層間に形成されることになる。

【0051】また、前記第1のTFT20、および第2のTFT30については、双方がN型、双方がP型、一方がN型で他方がP型のいずれでもよいが、このようないずれの組合せであっても、周知の方法でTFTを形成していくので、その説明を省略する。

【0052】(バンク層の形成領域)本形態では、図1に示す透明基板10の周辺領域の総てに対して、前記のバンク層bank(形成領域に斜線を付してある。)を形成する。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層bankによって覆われている。このため、これらの駆動回路の形成領域に対して対向電極opが重なる状態にあっても、駆動回路の配線層と対向電極opとの間にバンク層bankが介在することになる。それ故、駆動回路2、3に容量が寄生することを防止できるので、駆動回路2、3の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0053】また、本形態では、図3ないし図5に示すように、データ線sigに重なるようにバンク層bankを形成してある。従って、データ線sigと対向電極opとの間にバンク層bankが介在することになるので、データ線sigに容量が寄生することを防止できる。その結果、データ側駆動回路3の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

【0054】ここで、共通給電線comには、データ線sigと違って、発光素子40を駆動するための大きな電流が流れ、しかも、2列分の画素に対して駆動電流を供給する。このため、共通給電線comについては、その線幅をデータ線sigの線幅よりも広く設定し、共通給電線comの単位長さ当たりの抵抗値を、データ線sigの単位長さ当たりの抵抗値よりも小さくしてある。そのような設計条件下でも、本形態では、共通給電線comにも重なるようにバンク層bankを形成して有機半導体膜43の形成領域を規定する際にここに形成するバンク層bankの幅を、2本のデータ線sigに重なるバンク層bankと同一の幅寸法とすることにより、前記のように、走査線gateの延設方向に沿って隣接するいずれの画素7の間でも有機半導体膜43の形成領域の中心のピッチPを等しくするのに適した構造になる。

【0055】さらに、本形態では、図3、図4、および図6(A)に示すように、画素電極41の形成領域のう

ち、第1のTFT20の形成領域および第2のTFT30の形成領域と重なる領域にもバンク層bankを形成する。すなわち、図6(B)に示すように、中継電極35と重なる領域にバンク層bankを形成しないと、たとえ対向電極opとの間に駆動電流が流れて有機半導体膜43が発光しても、この光は中継電極35と対向電極opとに挟まれて射出されず、表示に寄与しない。かかる表示に寄与しない部分で流れる駆動電流は、表示という面からみて無効電流といえる。しかるに本形態では、このような無効電流が流れるはずの部分にバンク層bankを形成し、そこに駆動電流が流れることを防止するので、共通給電線comに無駄な電流が流れることが防止できる。それ故、共通給電線comの幅はその分狭くてよい。

【0056】また、前記のように黒色のレジストで構成したバンク層bankを残しておくと、バンク層bankはブラックマトリクスとして機能し、輝度、コントラスト比などの表示の品位が向上する。すなわち、本形態に係る表示装置1では、対向電極opが透明基板10の表面側の全面、あるいは広い領域にわたってストライブ状に形成されるため、対向電極opでの反射光がコントラスト比を低下させる。しかるに本形態では、有機半導体膜43の形成領域を規定しながら寄生容量を抑える機能を有するバンク層bankを黒色のレジストで構成したため、バンク層bankはブラックマトリクスとしても機能し、対向電極opからの反射光を遮るので、コントラスト比が高いという利点がある。また、バンク層bankを利用して自己整合的に発光領域を規定することができるので、バンク層bankをブラックマトリクスとして用いずに別の金属層などをブラックマトリクスとして用いたときに問題となる発光領域とのアライメント余裕が不要である。

【0057】【上記形態の改良例】上記形態では、共通給電線comの両側のそれぞれに、該共通給電線comとの間に駆動電流が流れる画素7が配置され、該画素7に対して前記共通給電線comとは反対側を2本のデータ線sigが並列して通っている。従って、2本のデータ線sigの間にクロストークが発生するおそれがある。そこで、本形態では、図9、図10(A)、(B)に示すように、2本のデータ線sigの間に相当する位置にダミーの配線層DAを形成してある。このダミーの配線層DAとしては、たとえば、画素電極41と同時に形成されたITO膜DA1を利用することができます。また、ダミーの配線層DAとしては、2本のデータ線sigの間に容量線clineからの延設部分DA2を構成してもよい。これらの双方をダミーの配線層DAとして用いてもよい。

【0058】このように構成すると、並列する2本のデータ線sigの間にそれらとは別の配線層DAが通っているので、このような配線層DA(DA1、DA2)

を画像の少なくとも1水平走査期間内で固定電位としておくだけで、上記のクロストークを防止できる。すなわち、第1の層間絶縁膜51および第2の層間絶縁膜52は、膜厚が凡そ1μmであるのに対して、2本のデータ線sig2本の間隔は約2μm以上であるため、各データ線sigとダミーの配線層DA(DA1、DA2)との間に構成される容量に比較して、2本のデータ線sigに間に構成される容量は十分に無視できるほど小さい。それ故、データ線sigから漏れた高周波数の信号はダミーの配線層DA及びDA2で吸収されるので、2本のデータ線sigの間でのクロストークを防止できる。

【0059】また、複数のデータ線sigのうち、隣接する2本のデータ線sigの間では、画像信号のサンプリングを同一のタイミングで行うことが好ましい。このように構成すると、2本のデータ線sigの間でサンプリング時の電位変化が同時に起るので、これら2本のデータ線sigの間におけるクロストークをより確実に防止できる。

【0060】【保持容量の別の構成例】なお、上記形態では、保持容量capを構成するのに容量線clineを形成したが、従来技術で説明したように、TFTを構成するためのポリシリコン膜を利用して保持容量capを構成してもよい。

【0061】また、図11に示すように、共通給電線comと電位保持電極stとの間に保持容量capを構成してもよい。この場合には、図12(A)、(B)に示すように、電位保持電極stとゲート電極31とを電気的に接続させるためのゲート電極31の延設部分310を共通給電線comの下層側にまで拡張し、この延設部分310と共に共通給電線comとの間に位置する第1の層間絶縁膜51を誘電体膜として保持容量capを構成すればよい。

【0062】【実施の形態2】上記の実施の形態1では、いずれの画素7においても同一の極性の駆動電流で発光素子40を駆動する構成であったが、以下に説明するように、同一の共通給電線comとの間に駆動電流の通電が行われる複数の画素7には、極性が反転した駆動電流により発光素子40の駆動が行われる2種類の画素7が同数、含まれているように構成してもよい。

【0063】このような構成例を、図13ないし図17を参照して説明する。図13は、極性の反転した駆動電流で発光素子40が駆動される2種類の画素を構成した形態のブロック図である。図14および図15はそれぞれ、極性の反転した駆動電流で発光素子40を駆動する際の走査信号、画像信号、共通給電線の電位、および電位保持電極の電位の説明図である。

【0064】本形態および後述する形態のいずれにおいても、図13に示すように、極性の反転した駆動電流iで発光素子40を駆動するにあたって、矢印Eで示すよ

うに共通給電線 c_{om} から駆動電流が流れる画素 7 A では、第 1 の TFT 20 を n チャネル型で構成し、矢印 F で示すように共通給電線 c_{om} に向けて駆動電流が流れる画素 7 B では、第 1 の TFT 20 を p チャネル型で構成してある。このため、これらの 2 種類の画素 7 A、7 B のそれぞれに走査線 $gate A$ 、 $gate B$ を構成する。また、本形態では、画素 7 A の第 2 の TFT 30 を p チャネル型で構成する一方、画素 7 B の第 2 の TFT 30 を n チャネル型で構成し、いずれの画素 7 A、7 B においても、第 1 の TFT 20 と第 2 の TFT 30 とを逆導電型にしてある。従って、画素 7 A に対応するデータ線 $sig A$ と、画素 7 B に対応するデータ線 $sig B$ とを介してそれぞれ供給される画像信号についても、後述するように、その極性を反転させてある。

【0065】さらに、各画素 7 A、7 B では、極性の反転した駆動電流 i で発光素子 40 をそれぞれ駆動することから、後述するように、対向電極 op の電位についても、共通給電線 c_{om} の電位を基準としたときに逆極性となるように構成する必要がある。従って、対向電極 op については、極性が同一の駆動電流 i が流れる画素 7 A、7 B 同士を接続するように構成し、それぞれに所定の電位を印加することになる。

【0066】それ故、図 14 および図 15 のそれぞれには、画素 7 A、7 B に対して、走査線 $gate A$ 、 $gate B$ を介して供給される走査信号の波形、データ線 $sig A$ 、 $sig B$ を介して供給される画像信号の波形、対向電極 op の電位、および電位保持電極 $st A$ 、 $st B$ の電位を、共通給電線 c_{om} の電位を基準に表してあるように、画素 7 A、7 B の間において、各信号は、点灯期間および消灯期間のいずれにおいても逆極性となるように設定されている。

【0067】また、図 16 (A)、(B) に示すように、各画素 7 A、7 B には、異なる構造の発光素子 40 A、40 B が構成される。すなわち、画素 7 A に形成される発光素子 40 A は、下層側から上層側に向かって、ITO 膜からなる画素電極 41、正孔注入層 42、有機半導体膜 43、対向電極 $op A$ がこの順に積層されている。これに対して、画素 7 B に形成される発光素子 40 B は、下層側から上層側に向かって、ITO 膜からなる画素電極 41、透光性をもつほど薄いリチウム含有アルミニウム電極 45、有機半導体層 42、正孔注入層 42、ITO 膜層 46、対向電極 $op B$ がこの順に積層されている。従って、発光素子 40 A、40 B の間では、それぞれ逆極性の駆動電流が流れるといつても、正孔注入層 42 および有機半導体層 42 が直接、接する電極層の構成が同一であるため、発光素子 40 A、40 B の発光特性は同等である。

【0068】このような 2 種類の発光素子 40 A、40 B を形成するにあたって、双方の有機半導体膜 43 および正孔注入層 42 はいずれも、インクジェット法により

バンク層 $bank$ の内側に形成するので、上下位置が反対でも製造工程が複雑になることはない。また、発光素子 40 B では、発光素子 40 A に比較して、透光性をもつほど薄いリチウム含有アルミニウム電極 45、および ITO 膜層 46 を追加することになるが、それでも、リチウム含有アルミニウム電極 45 は画素電極 41 と同じ領域で積層している構造になっていても表示に支障がなく、ITO 膜層 46 も対向電極 $op B$ と同じ領域で積層している構造になっていても表示に支障がない。それ故、リチウム含有アルミニウム電極 45 と画素電極 41 とはそれぞれ別々にバーニングしてもよいが、同じレジストマスクで一括してバーニングしてもよい。同様に、ITO 膜層 46 と対向電極 $op B$ とはそれぞれ別々にバーニングしてもよいが、同じレジストマスクで一括してバーニングしてもよい。リチウム含有アルミニウム電極 45 および ITO 膜層 46 はバンク層 $bank$ の内側領域のみに形成してもよいことは勿論である。

【0069】このようにして各画素 7 A、7 B において極性の反転した駆動電流で発光素子 40 A、40 B を駆動できるようにした上で、前記の 2 種類の画素 7 A、7 B を図 17 に示すように配置してある。この図において、符合 (−) が付されている画素は、図 13、図 14、図 16 で説明した画素 7 A に相当し、符合 (+) が付されている画素は、図 13、図 15、図 16 で説明した画素 7 B に相当する。なお、図 17 には、走査線 $gate A$ 、 $gate B$ 、およびデータ線 $sig A$ 、 $sig B$ の図示を省略してある。

【0070】図 17 に示すように、本形態では、データ線 $sig A$ 、 $sig B$ の延設方向では各画素における駆動電流の極性が同一で、走査線 $gate A$ 、 $gate B$ の延設方向では各画素における駆動電流の極性が 1 画素毎に反転している。なお、各画素に対応する対向電極 $op A$ 、 $op B$ の形成領域をそれぞれ一点鎖線で示すように、いずれの対向電極 $op A$ 、 $op B$ も、極性が同一の駆動電流が流れる画素 7 A、7 B 同士を接続するように構成してある。すなわち、対向電極 $op A$ 、 $op B$ は、データ線 $sig A$ 、 $sig B$ の延設方向に沿ってストライブ状に別々に形成され、対向電極 $op A$ 、 $op B$ のそれぞれには、共通給電線 c_{om} の電位を基準としたときに負の電位、および正の電位が印加される。

【0071】従って、各画素 7 A、7 B と共通給電線 c_{om} との間には、それぞれ図 13 に矢印 E、F に示す向きの駆動電流 i が流れることになる。このため、共通給電線 c_{om} を実質的に流れる電流は、極性の異なる駆動電流 i の間で相殺されるので、共通給電線 c_{om} に流れる駆動電流が小さくて済む。従って、共通給電線 c_{om} をその分、細くすることができるので、画素 7 A、7 B において画素領域の発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0072】[実施の形態3] なお、同一の共通給電線comとの間で駆動電流が逆の極性で流れるように画素を配置するという観点からすれば、各画素を図18に示すように配置してもよい。なお、本形態では、各画素7A、7Bの構成などが実施の形態2と同様であるため、その説明を省略し、図18、および以下に説明する各形態を説明するための図19ないし図21には、図13、図14、図16で説明した画素7Aに相当する画素を符合(-)で表し、図13、図15、図16で説明した画素7Bに相当する画素を符合(+)で表してある。

【0073】図18に示すように、本形態では、データ線sigA、sigBの延設方向では各画素7A、7Bにおける駆動電流の極性が同一で、走査線gateA、gateBの延設方向では各画素7A、7Bにおける駆動電流の極性が2画素毎に反転するように構成されている。

【0074】このように構成した場合にも、各画素7A、7Bと共通給電線comとの間には、それぞれ図13に矢印E、Fに示す向きの駆動電流iが流れることになる。このため、共通給電線comを流れる電流は、極性の異なる駆動電流iの間で相殺されるので、共通給電線comに流れる駆動電流が小さくて済む。従って、共通給電線comをその分、細くすることができるので、画素領域の画素7A、7Bにおいて画素領域の発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。それに加えて、本形態では、走査線gateA、gateBの延設方向において駆動電流の極性が2画素毎に反転しているため、同じ極性の駆動電流で駆動される画素同士であれば、隣接し合う2列の画素に対して共通の対向電極opA、opBをストライプ状に形成すればよい。それ故、対向電極opA、opBのストライプ数を1/2に減らすことができる。また、1画素毎のストライプに比して、対向電極opA、opBの抵抗を小さくできることから、対向電極opA、opBの電圧降下の影響を軽減することができる。

【0075】[実施の形態4] また、同一の共通給電線comとの間で駆動電流が逆の極性で流れるように画素を配置するという観点からすれば、各画素を図19に示すように配置してもよい。

【0076】図19に示すように、本形態では、走査線gateA、gateBの延設方向では各画素7A、7Bにおける駆動電流の極性が同一で、データ線sigA、sigBの延設方向では各画素7A、7Bにおける駆動電流の極性が1画素毎に反転するように構成されている。

【0077】このように構成した場合にも、実施の形態2または3と同様、共通給電線comを流れる電流は、極性の異なる駆動電流の間で相殺されるので、共通給電線comに流れる駆動電流が小さくて済む。従って、共

通給電線comをその分、細くすることができるので、画素7A、7Bにおいて画素領域の発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0078】[実施の形態5] また、同一の共通給電線comとの間で駆動電流が逆の極性で流れるように画素を配置するという観点からすれば、各画素を図20に示すように配置してもよい。

【0079】図20に示すように、本形態では、走査線gateA、gateBの延設方向では各画素7A、7Bにおける駆動電流の極性が同一で、データ線sigA、sigBの延設方向では各画素7A、7Bにおける駆動電流の極性が2画素毎に反転するように構成されている。

【0080】このように構成した場合には、実施の形態3と同様、共通給電線comを流れる電流は、極性の異なる駆動電流の間で相殺されるので、共通給電線comに流れる駆動電流が小さくて済む。従って、共通給電線comをその分、細くすることができるので、画素7A、7Bにおいて画素領域の発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。それに加えて、本形態では、データ線sigA、sigBの延設方向において駆動電流の極性が2画素毎に反転しているため、同じ極性の駆動電流で駆動される画素同士であれば、隣接し合う2列の画素に対して共通の対向電極opA、opBをストライプ状に形成すればよい。それ故、対向電極opA、opBのストライプ数を1/2に減らすことができる。また、1画素毎のストライプに比して、対向電極opA、opBの抵抗を小さくできることから、対向電極opA、opBの電圧降下の影響を軽減することができる。

【0081】[実施の形態6] また、同一の共通給電線comとの間で駆動電流が逆の極性で流れるように画素を配置するという観点からすれば、各画素を図21に示すように配置してもよい。

【0082】図21に示すように、本形態では、走査線gateA、gateBの延設方向およびデータ線sigA、sigBの延設方向のいずれの方向でも、各画素7A、7Bにおける駆動電流の極性が1画素毎に反転するように構成されている。

【0083】このように構成した場合にも、実施の形態2ないし4と同様、共通給電線comを流れる電流は、極性の異なる駆動電流の間で相殺されるので、共通給電線comに流れる駆動電流が小さくて済む。従って、共通給電線comをその分、細くすることができるので、画素7A、7Bにおいて発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0084】このように画素7A、7Bを配置すると、ストライプ状の対向電極opA、opBでは対応できな

いが、それでも、各画素7A、7B毎に対向電極o p A、o p Bを形成するとともに、各対向電極o p A、o p B同士を配線層で配線接続する構成とすればよい。

【0085】

【発明の効果】以上説明したように、本発明に係る表示装置では、共通給電線の両側に該共通給電線との間で駆動電流の通電が行われる画素が配置されているため、2列分の画素に対して1本の共通給電線で済む。それ故、1列の画素群ごとに共通給電線を形成する場合と比較して共通給電線の形成領域を狭めることができるので、その分、画素において発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0086】また、同一の前記共通給電線との間で前記駆動電流の通電が行われる複数の画素に、極性が反転した駆動電流により前記発光素子の駆動が行われる2種類の画素が含まれている場合には、1本の共通給電線において、共通給電線から発光素子に流れる駆動電流と、それとは逆向きに発光素子から共通給電線に流れる駆動電流とが相殺されるので、共通給電線に流れる駆動電流が小さく済む。従って、共通給電線をその分、細くすることができるので、画素において発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

【図面の簡単な説明】

【図1】本発明を適用した表示装置、およびそれに形成したバンク層の形成領域を模式的に示す説明図である。

【図2】本発明を適用した表示装置の基本的な構成を示すブロック図である。

【図3】本発明の実施の形態1に係る表示装置の画素を拡大して示す平面図である。

【図4】図3のA-A'線における断面図である。

【図5】図3のB-B'線における断面図である。

【図6】(A)は図3のC-C'線における断面図、(B)はバンク層の形成領域を中継電極を複数まで拡張しない構造の断面図である。

【図7】図1に示す表示装置に用いた発光素子のI-V特性を示すグラフである。

【図8】本発明を適用した表示装置の製造方法を示す工程断面図である。

【図9】図1に示す表示装置の改良例を示すブロック図である。

【図10】(A)は、図9に示す表示装置に形成したダミーの配線層を示す断面図、(B)はその平面図である。

【図11】図3に示す表示装置の変形例を示すブロック図である。

【図12】(A)は、図11に示す表示装置に形成した画素を拡大して示す平面図、(B)はその断面図である。

【図13】本発明の実施の形態2に係る表示装置に構成した駆動電流が反転した2つの画素の構成を示す等価回路図である。

【図14】図13に示す2つの画素のうちの一方の画素を駆動するための各信号の波形図である。

【図15】図13に示す2つの画素のうちの他方の画素を駆動するための各信号の波形図である。

【図16】図13に示す2つの画素に構成される発光素子の構成を示す断面図である。

【図17】図13に示す表示装置における画素の配置を示す説明図である。

【図18】本発明の実施の形態3に係る表示装置における画素の配置を示す説明図である。

【図19】本発明の実施の形態4に係る表示装置における画素の配置を示す説明図である。

【図20】本発明の実施の形態5に係る表示装置における画素の配置を示す説明図である。

【図21】本発明の実施の形態6に係る表示装置における画素の配置を示す説明図である。

【図22】従来の表示装置のブロック図である。

【図23】(A)は、図22に示す表示装置に形成した画素を拡大して示す平面図、(B)はその断面図である。

【符号の説明】

1	表示装置
2	表示部
3	データ側駆動回路
4	走査側駆動回路
5	検査回路
6	実装用パッド
7、7A、7B	画素
10	透明基板
20	第1のTFT
21	第1のTFTのゲート電極
30	第2のTFT
31	第2のTFTのゲート電極
40、40A、40B	発光素子
41	画素電極
42	正孔注入層
43	有機半導体膜
45	薄いリチウム含有アルミニウム電極
46	I-T-O膜層
50	ゲート絶縁膜
51	第1の層間絶縁膜
52	第2の層間絶縁膜
DA	ダミーの配線層
bank	バンク層
cap	保持容量
c line	容量線
com	共通給電線

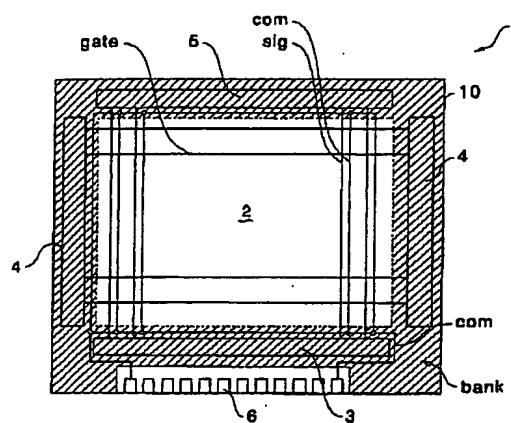
21

gate, gateA, gateB 走査線
op, opA, opB 対向電極

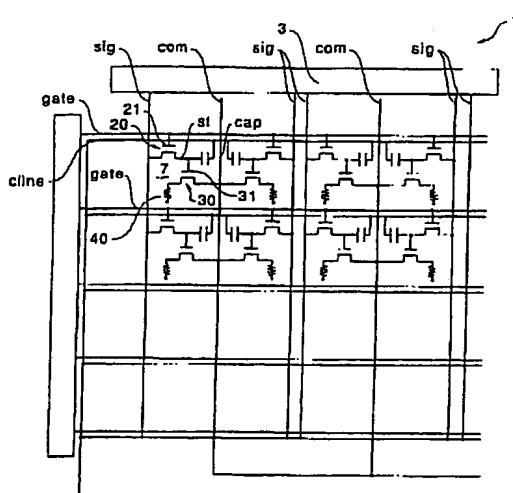
22

* sig, sigA, sigB データ線
* st, stA, stB 電位保持電極

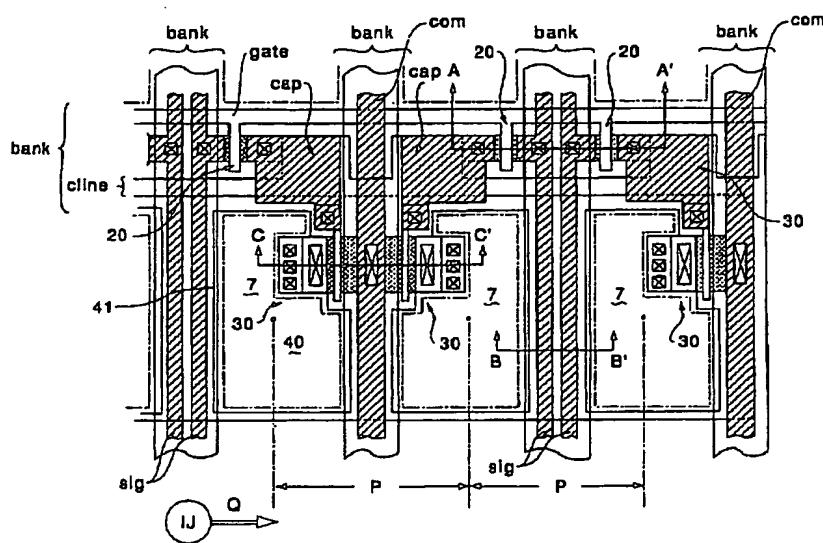
【図1】



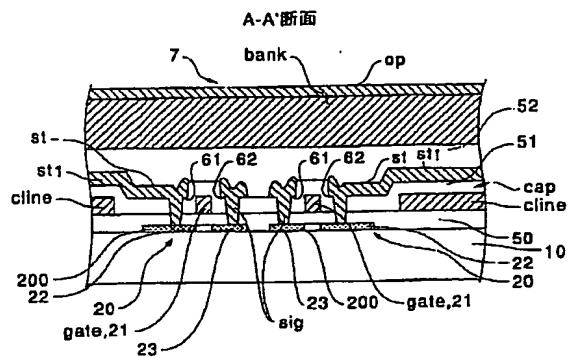
【図2】



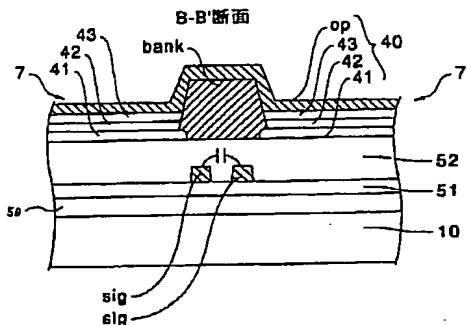
【図3】



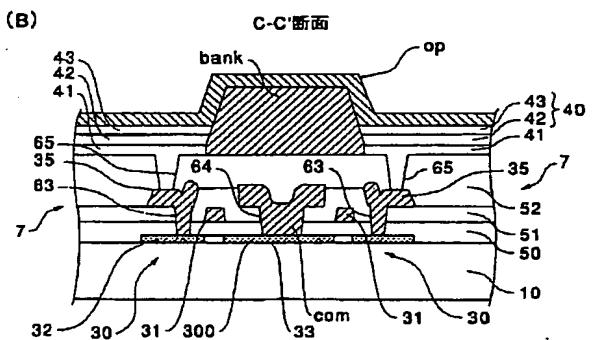
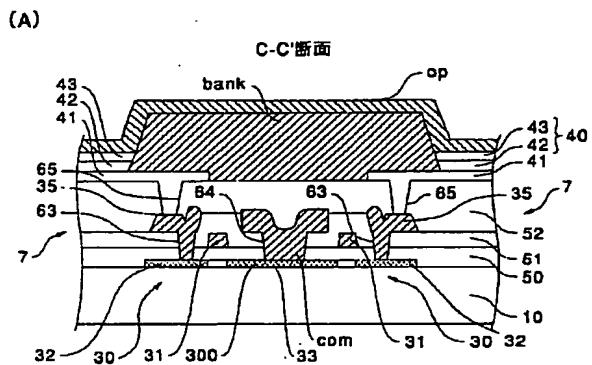
【図4】



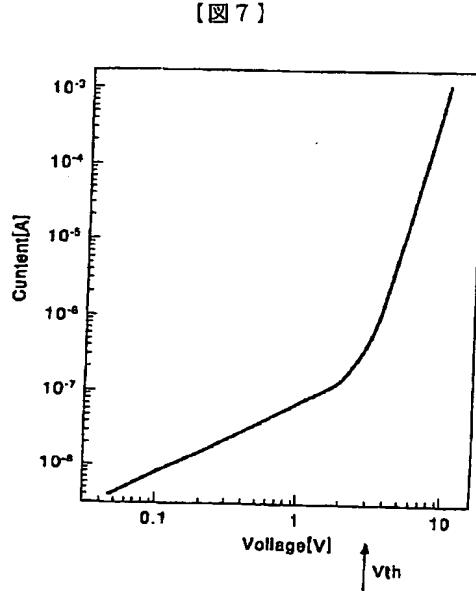
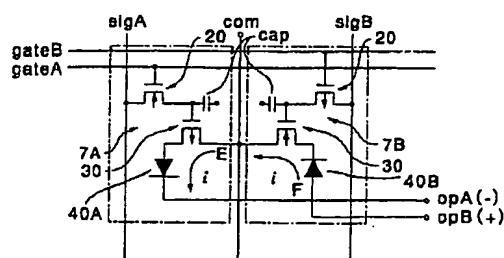
【図5】



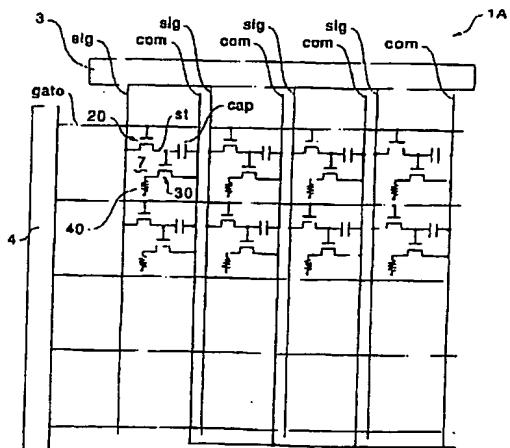
【図6】



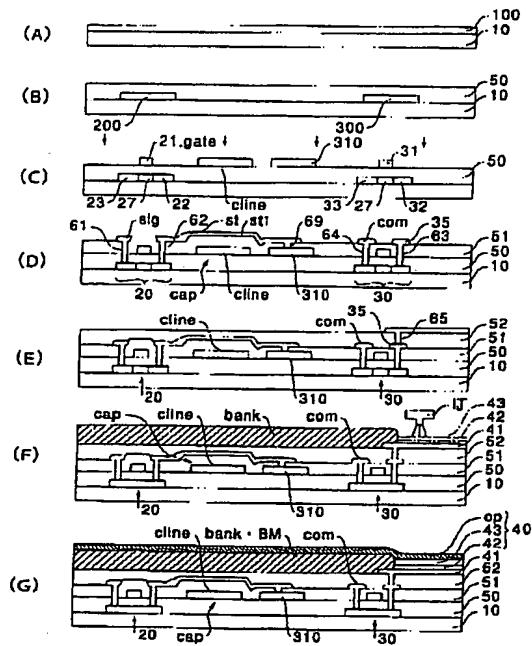
【図13】



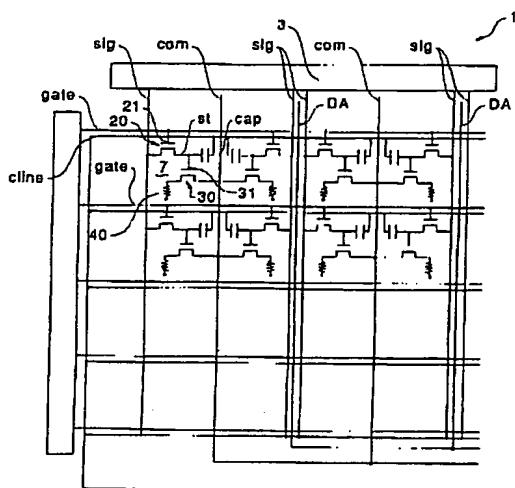
【図22】



【図8】

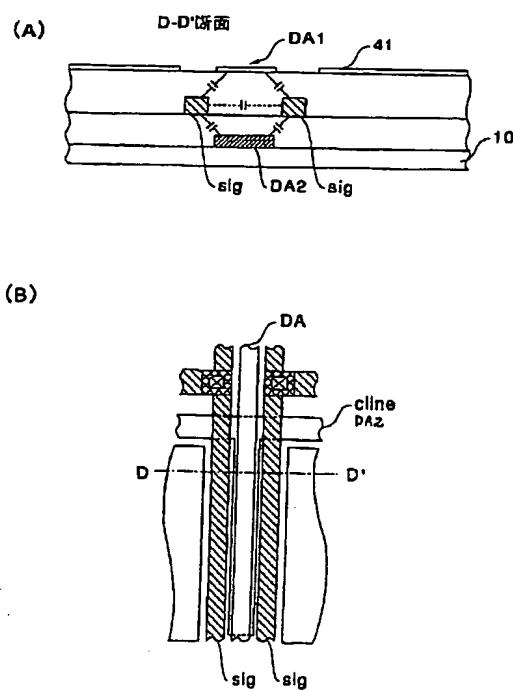


【図9】

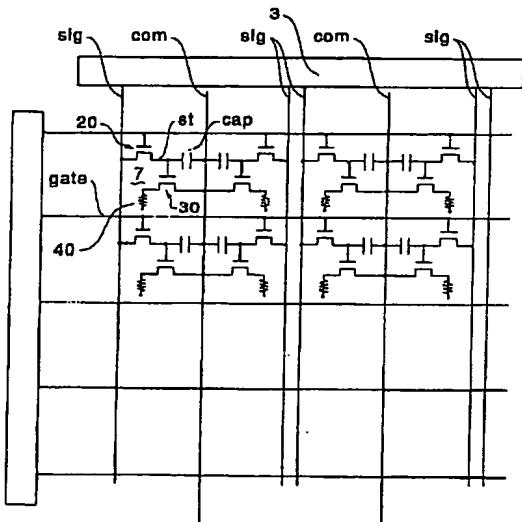


【図10】

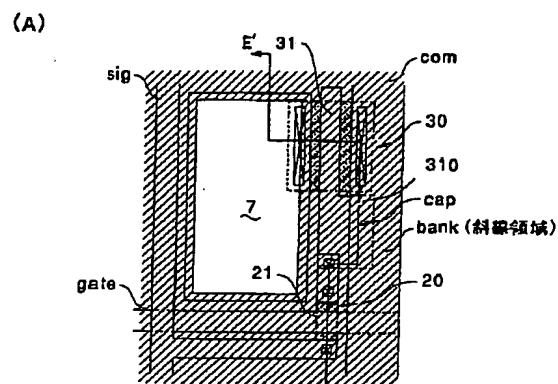
図10



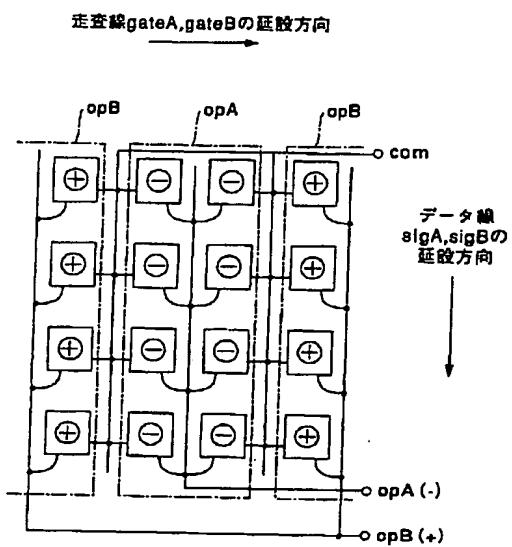
【図11】



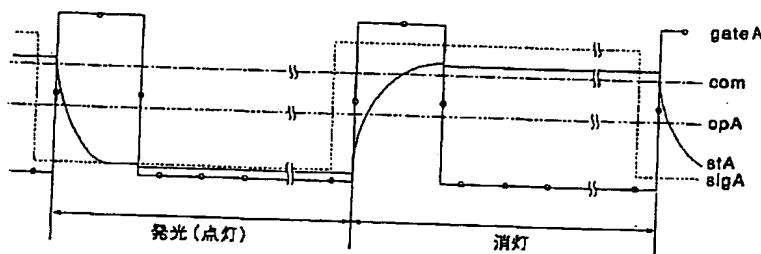
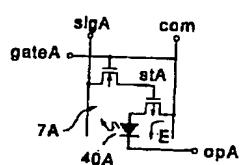
【図12】



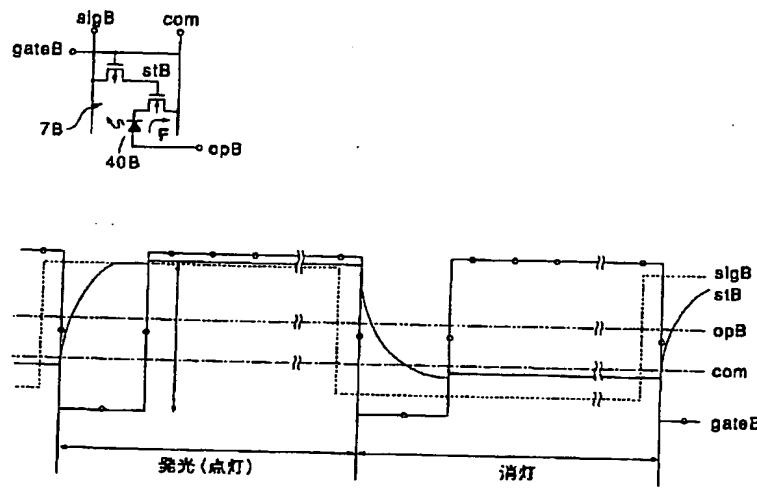
【図16】



【図14】

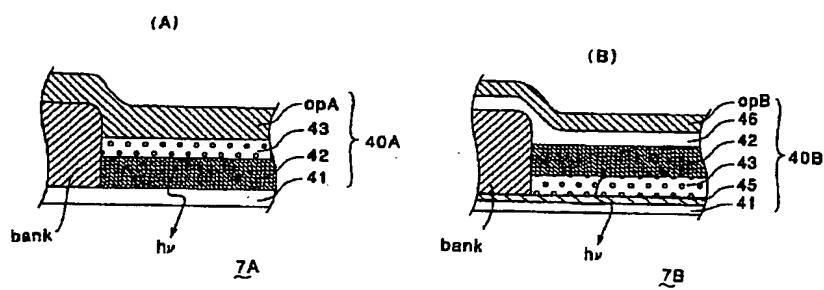


[図15]

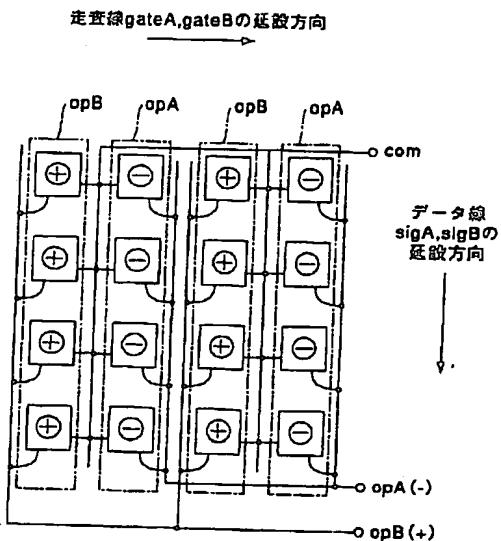


[図17]

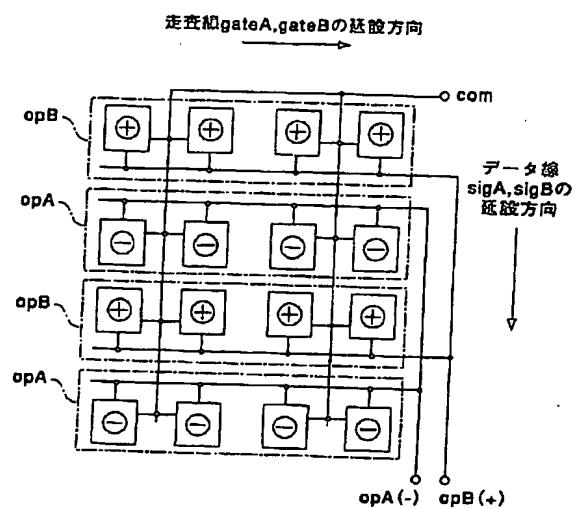
116



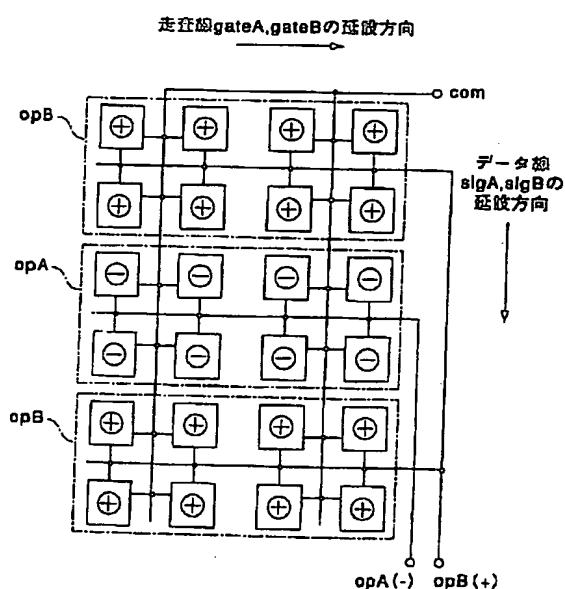
【図18】



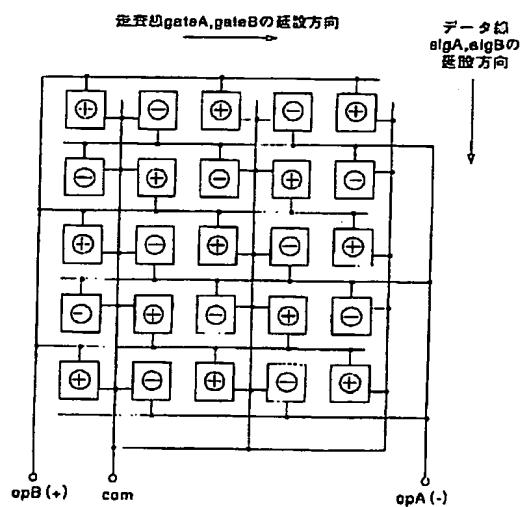
【図19】



【図20】



【図21】



【図23】

